

JPAB

CLIPPEDIMAGE= JP404044691A
PAT-NO: JP404044691A
DOCUMENT-IDENTIFIER: JP 04044691 A
TITLE: MEMORY DEVICE
PUBN-DATE: February 14, 1992
INVENTOR-INFORMATION:
NAME
SAITO, YOJI
ASSIGNEE-INFORMATION:
NAME
SEIKO INSTR INC
APPL-NO: JP02153325
APPL-DATE: June 12, 1990
INT-CL (IPC): G11C007/00; G11C011/413
US-CL-CURRENT: 365/45

COUNTRY
N/A

ABSTRACT:

PURPOSE: To decrease a lot of signal lines by turning a signal to an analog signal or a multi-level signal.

CONSTITUTION: An address signal, which is made analog by a D/A converter 7, is converted to the binary signals of 5 bits by an A/D converter 1. These signals are respectively inputted to a row decoder 2 and a column decoder 3, a memory cell corresponding to the signal is selected from a memory array 4, and the output is outputted through a sense amplifier 5 to a data output terminal. At such a time, the memory is controlled through a controller 6. The analog signal inputted to the A/D converter 1 is converted to an address select signal and inputted to the row decoder 2 and the column decoder 3. By converting the address signal to the analog input, five required address signal lines can be reduced to one.

COPYRIGHT: (C)1992, JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-44691

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月14日

G 11 C 7/00
11/413

3 1 1 C

7131-5L

7323-5L
7323-5L

G 11 C 11/34

3 0 1 A
J

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 メモリー装置

⑯ 特 願 平2-153325

⑰ 出 願 平2(1990)6月12日

⑱ 発 明 者 齊 藤 洋 二 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内⑲ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号
会社

⑳ 代 理 人 弁理士 林 敬之助

明 細 書

1. 発明の名称

メモリー装置

2. 特許請求の範囲

複数のメモリ素子からなるメモリアレイのアドレスを決定するアドレス入力線と、決定されたアドレスのメモリ素子に記憶させるためのデータを入力するデータ入力線と決定されたアドレスのデータを出力するデータ出力線と、記憶装置の選択、メモリアレイへの書き込み、読み出しを制御する制御線と、または、前記アドレス入力線、データ入力線、データ出力線、制御線のうち複数が共通に用いられている信号線をもつメモリー装置において、上記アドレス入力線、データ入力線、データ出力線、制御線のうち複数が共通に用いられている信号線のうち、少なくとも1つ以上に多値、もしくはアナログ信号を与えることを特徴とするメモリー装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、データを記憶し、これを入力するメモリー装置に関する。

(発明の概要)

この発明は複数のメモリ素子から成るメモリアレイのアドレスを決定するアドレス入力線と決定されたアドレスのメモリ素子に記憶させるためのデータを入力するデータ入力線と、決定されたアドレスのメモリ素子のデータを出力するデータ出力線と、記憶装置の選択、メモリアレイの書き込み、読み出しを制御する制御線と、または前記アドレス入力線、データ入力線、データ出力線制御線のうち複数が共通に用いられている信号線に、アナログまたは多値で信号を入力することに依り、複数のアドレス線、データの入出力線、信号線を少数にまとめる様にしたものである。

(従来の技術)

従来高ビットのメモリー装置は多数のアドレス信号線をもち、また、データ入出力信号線も多数も

つものが多かった。

(発明が解決しようとする課題)

しかし、従来の高ビットメモリ装置は多数のアドレス信号線をもつため、パッケージが大きくなる、信号線間で相互干渉があるという欠点があった。この発明は信号線を少数にすることにより、パッケージサイズを小さくし、信号線間の相互干渉低減することを目的としている。

(課題を解決するための手段)

上記課題を解決するために、この発明は2値の信号データをアナログ値、または多値で伝達する様にした。

(作用)

その容量を選択するのに必要なアドレス信号数や、データの平行入出力に必要な入出力信号数を2値からアナログ化、または多値化することにより、信号線数を減少させる。

(実施例)

以下にこの発明のメモリ装置の実施例を図面に基いて説明する。第1図はアドレス選択に5ビット

の入力を必要とする場合のメモリ装置例にし

た本発明の実施例である。DA変換器7でアナログ化されたアドレス信号はAD変換器1により5ビットの2値信号に変換される。これらの信号はそれぞれローデコード2、カラムデコード3に入力され、その信号に応じたメモリセルがメモリアレイ4から選択され、その出力がセンスアンプ5を通じデータ出力端子に出力される。このときメモリの制御は制御装置6を通じて行われる。第2図に示されているのは、アナログ信号の2値のアドレス選択信号対応図である。DA変換器1に入力されたアナログ信号は第2図に従いアドレス選択信号に変換され、ローデコード2、カラムコード3に入力される。

本発明の実施例においてはアドレス信号をアナログ入力化することで5本必要なアドレス信号線を1本にしているが、この他にもデータ入出力線、制御線、またはこれを複合した場合に於いて信号の入出力をアナログ信号化することで、その信号線を減少させることができる。

また、使用上で多ビットに応じた信号変換は高ビットのDA変換器を用いれば良いが、高ビット化できない場合は、なるべく信号線を複数にすれば良い。

(発明の効果)

この発明は、以上説明した様に信号をアナログ信号もしくは多値信号にすることにより、多数の信号線を減少させることができ、これによってパッケージの縮小、ローコスト化、信号線間の干渉低減が可能となる。

- 5... センスアンプ
- 6... 制御回路
- 7... DA変換器

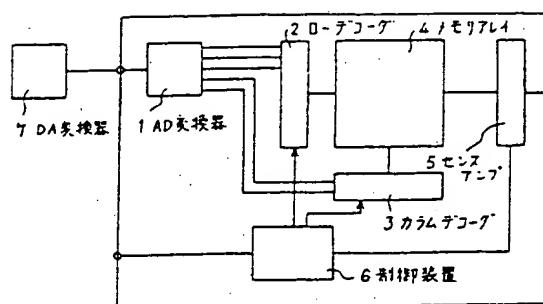
以上

出願人 セイコー電子工業株式会社
代理人 弁理士 林 敬 之 助

4. 図面の簡単な説明

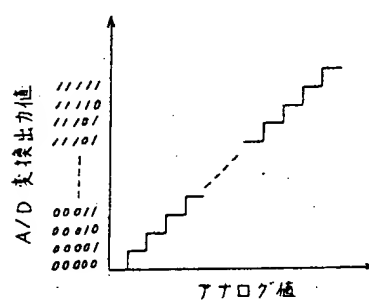
第1図はこの発明のメモリ装置の回路図、第2図は本発明に係わるアナログ信号、アドレス信号対応図である。

- 1... AD変換器
- 2... ローデコード
- 3... カラムデコード
- 4... メモリアレイ



メモリ装置の構成回路図

第1図



アナログ信号とアドレス信号との対応図

第2図

BEST AVAILABLE COPY